

Teorema di Shannon

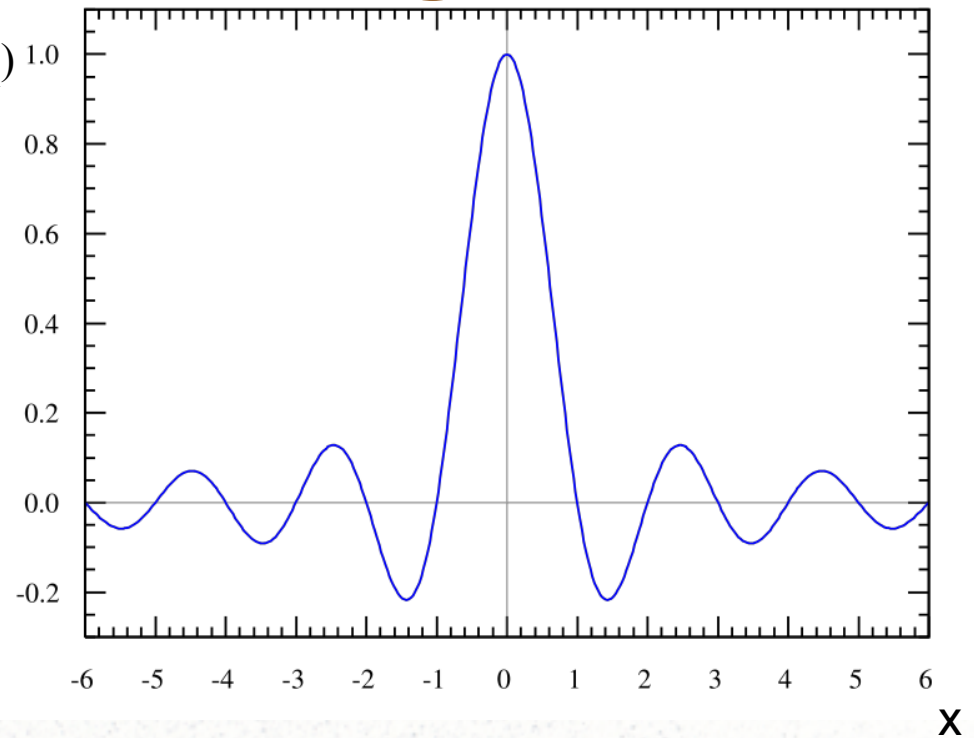
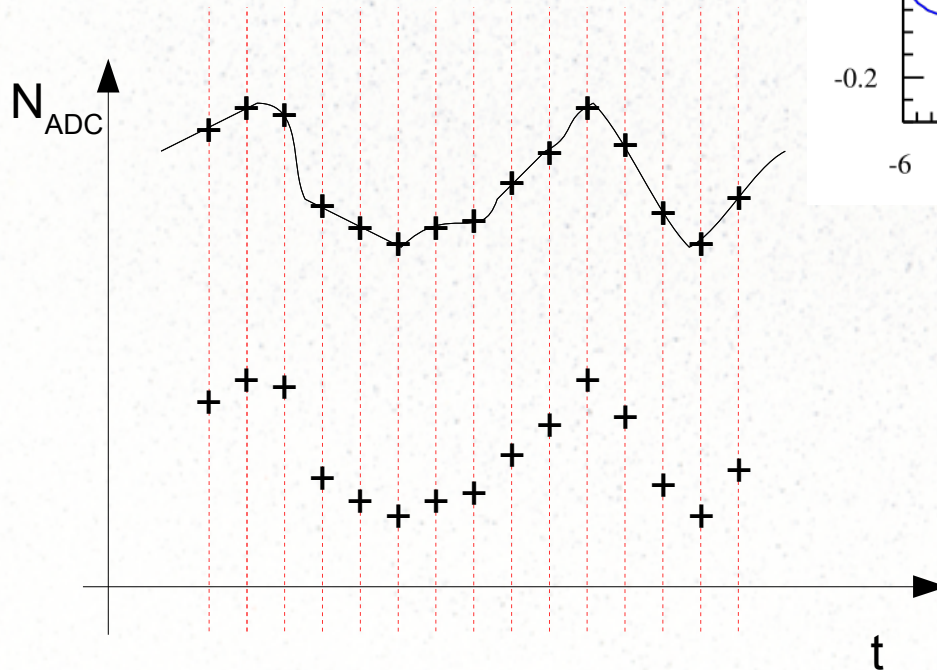
- Ricostruzione di segnali analogici:
 - Campionamento ad intervalli regolari
 - Se una funzione $x(t)$ non ha componenti spettrali superiori a f_H (Hz), allora risulta completamente determinata dalla serie dei suoi valori campionati ad intervalli di tempo $1/2f_H$.
 - Cioè: la frequenza di campionamento $f_{\text{Sample}} > 2f_H$

Ricostruzione del segnale

- Il segnale varia nel tempo, il campionamento viene realizzato registrando il valore del segnale ad intervalli regolari con periodo T (intervallo di campionamento).
- Avremo quindi una sequenza di numeri che rappresentano il segnale di origine chiamati campionamenti. Ogni valore numerico assieme alla sua marca di tempo costituisce le coordinate dei punti nel grafico Ampiezza-Tempo. Il reciproco dell'intervallo di campionamento ($1/T$) è la frequenza di campionamento f_s .

Ricostruzione del segnale

- Idealmente ad ogni punto i si applica $\text{sinc}(x_i)$ facendo risalendo il massimo in modo che coincida il valore del campionamento e gli zeri con gli altri $n-1$ campionamenti.
- $\text{sinc}(x) = \frac{\sin(\pi x)}{\pi x}$
- Il segnale originario viene ricostruito facendo la somma di tutte le n $\text{sinc}(x_i)$.



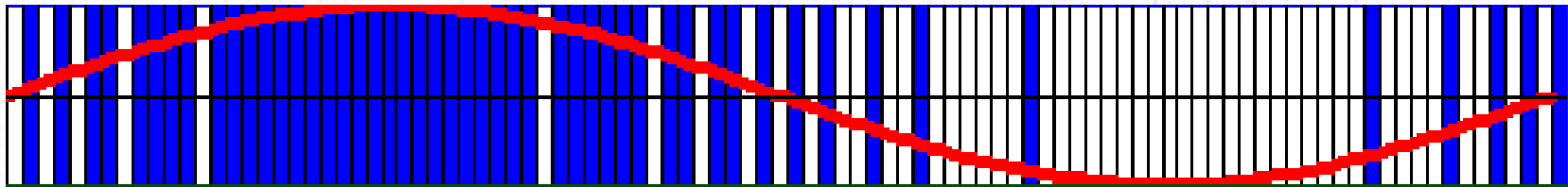
- Il segnale ricostruito a questa maniera non può avere frequenze superiori alla metà della frequenza di campionamento f_s .
- Di conseguenza il segnale originario non deve contenere frequenze superiori a $f_s/2$. Criterio di Nyquist.
- In pratica un DAC produce una serie di steps che poi vengono filtrati

DAC

- Digital to Analog Converter
 - Risoluzione: legata al numero di bits (ENOB)
 - Frequenza di campionamento
 - Range dinamico (rapporto tra il valore MAX e MIN che il DAC può riprodurre), legato al rumore di fondo e al numero di bits.
 - THD + N, rapporto di potenza rispetto al segnale, di armoniche spurie e rumore presenti in uscita.
- Alcune di queste sono importanti sempre, altre solo per DAC che devono variare rapidamente nel tempo.

DAC Types

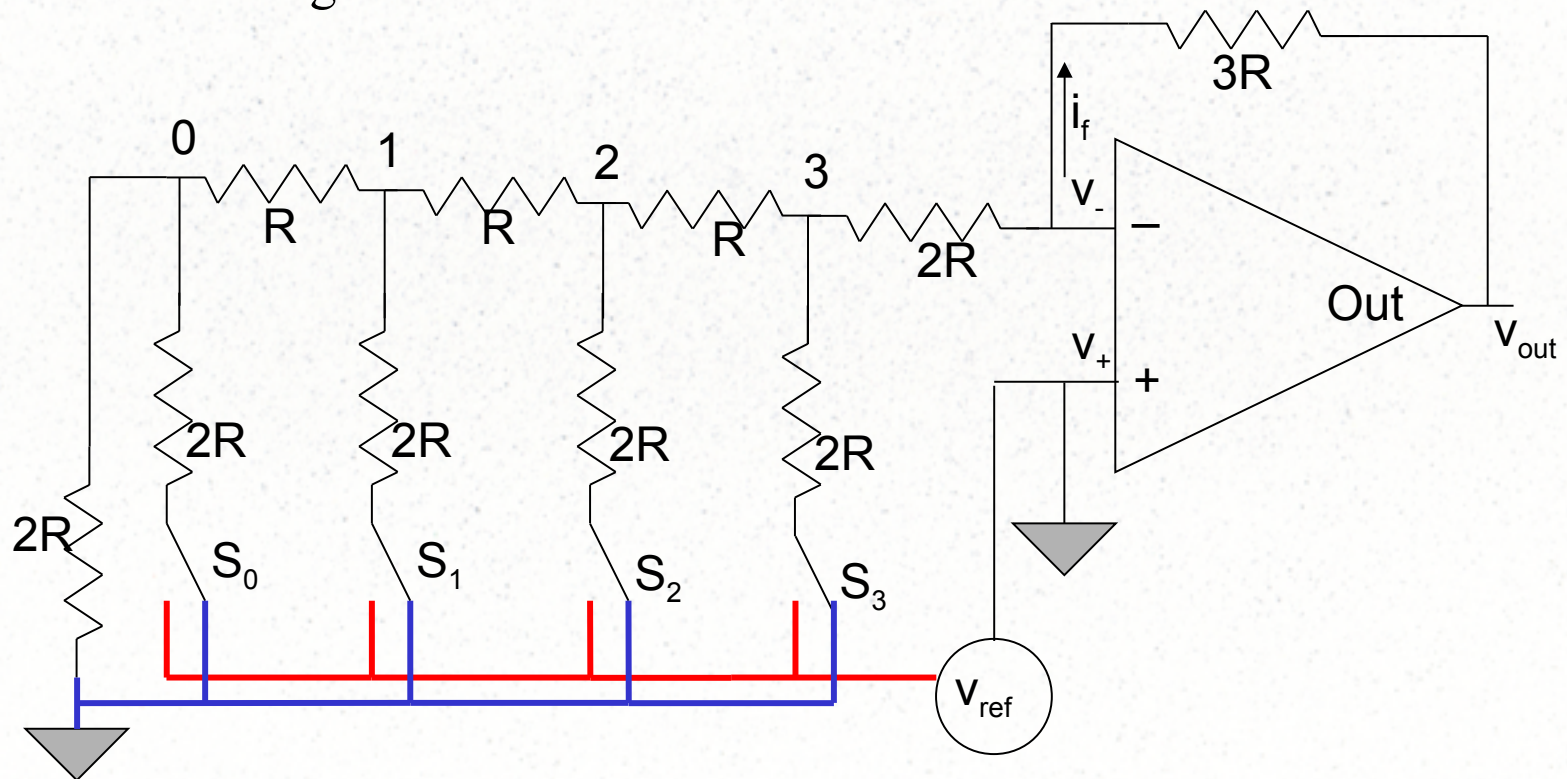
- PWM (motor control)
- Delta-Sigma DAC (precisissimo, audio 1bit DAC [pulse density modulation])



- Ladder (pratico e preciso, ma lentino)
- Binary Resistor (veloce)

Ladder converter

- La rete resistiva in effetti divide la corrente
- Assumiamo tutti gli interruttori connessi a GND
 - Ogni nodo N vede una resistenza $2R$ a sinistra ed una resistenza $2R$ a destra
 - Ad ogni nodo N la corrente andrà metà a sinistra e metà a destra



Ladder converter

- Il bit₃, presenta V_{ref} all'ingresso dell'operazionale, (Thevenin) attraverso una resistenza equivalente di 3R e un generatore equivalente a V_{ref}/2 .
- Gli altri bit si comportano alla stessa maniera con V_{ref} che via via si dimezza.
- Il principio di sovrapposizione

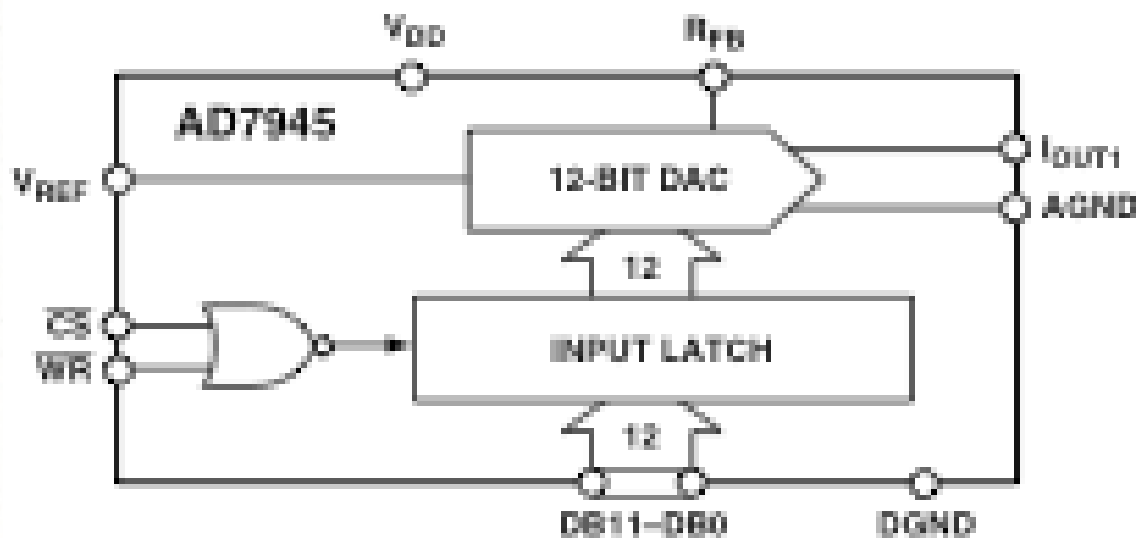
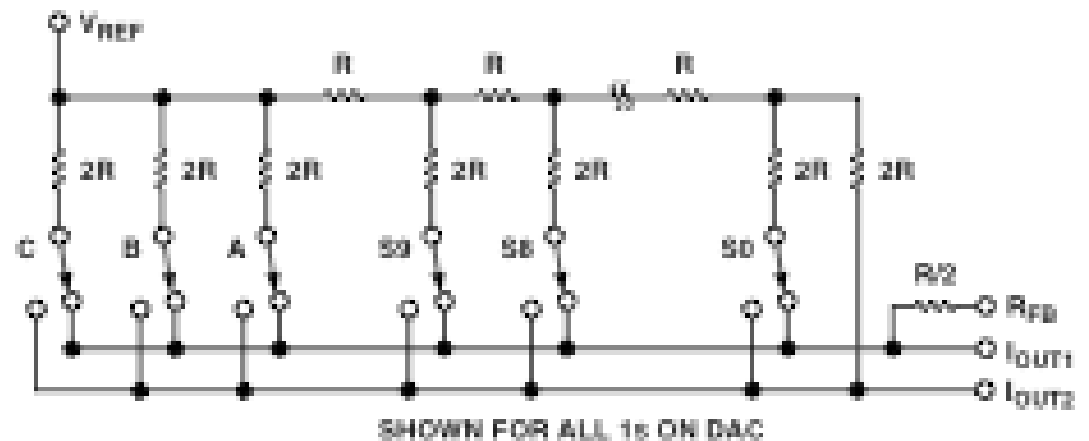
$$V_{\text{out}} = V_{\text{ref}} \left(\frac{1}{2} S_{N-1} + \frac{1}{4} S_{N-2} + \frac{1}{8} S_{N-3} + \dots + \frac{1}{2^N} S_0 \right)$$

DAC progetto

- AD7945
- FEATURES
- 12-Bit Multiplying DACs
- Guaranteed Specifications with +3.3 V/+5 V Supply
- 0.5 LSBs INL and DNL
- Low Power: 5 μ W typ Fast Interface
- 40 ns Strobe Pulsewidth (AD7943)
- 40 ns Write Pulsewidth (AD7945, AD7948)
- Low Glitch: 60 nV-s with Amplifier Connected
- Fast Settling: 600 ns to 0.01% with AD843

DAC progetto

- E' un ladder converter in corrente.



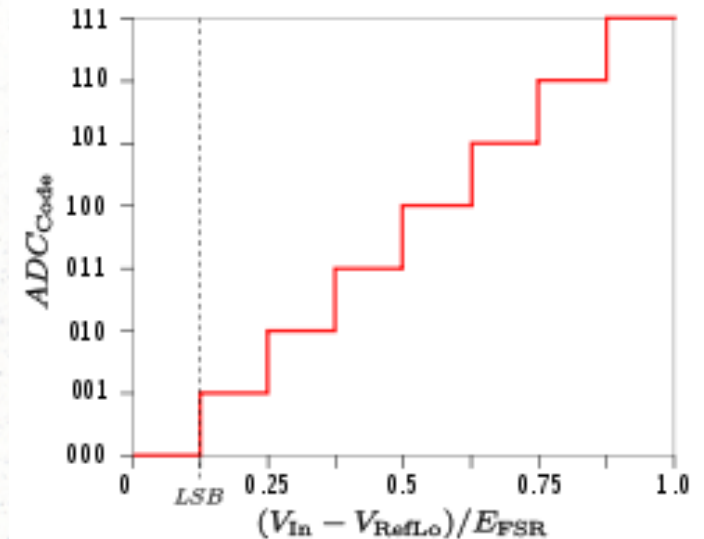
ADC

- Analog to Digital Converter

- converte una quantità continua (i.e. tensione), in un numero intero (binario).
- Normalmente la quantità da convertire varia nel tempo

- Range e Risoluzione (i.e. tensione)

- E_{fsr} (Full Scale Range) = $V_{\text{refH}} - V_{\text{refL}}$ (Nel nostro caso 2 Volt - 0 Volt)
- $Q = E_{\text{fsr}} / (2^N - 1)$ (N = numero di bit dell'ADC)



Errori di conversione (1)

- In generale l'ADC può essere di tipo lineare o non-lineare (i.e. risposta logaritmica per applicazioni voce). Noi considereremo la tipologia lineare (la più comune).
- Errori di conversione sono dovuti a:
 - Errore di quantizzazione, insito nel processo di “discretizzare” una quantità continua
 - Errore di apertura, legato al campionamento della quantità che varia nel tempo
 - Errore di linearità, errore di linearità differenziale DNL, errore di linearità integrale INL.

Errori di conversione (2)

- Quantizzazione: la differenza tra V_{in} e la tensione corrispondente al codice generato dall'ADC, normalmente quantificato in $\pm 1/2$ LSB [Least Significant Bit].
- Apertura: dovuto al jitter del clock di campionamento (Δt). Importante per segnali che variano nel tempo con frequenze caratteristiche vicine a $1/\Delta t$. In pratica il segnale viene campionato in maniera casuale attorno alla marca temporale “vera”. Si ha quindi una dispersione dei valori convertiti che può risultare maggiore dell'errore di quantizz. o di NON linearità.

Errori di conversione (3)

- Non linearità differenziale DNL (Volt):
 - DNL: per ogni codice generato D viene valutato l'intervallo di **tensione** in ingresso corrispondente a quel codice $L(D)$. Viene quindi calcolato il valor medio di L: $\langle L \rangle$. Per ogni codice D viene quindi valutata la differenza tra L e $\langle L \rangle$. Si ha quindi:
 - $DNL(D) = L(D) - \langle L \rangle$ (Volt)
 - $MAX (|DNL(D)|)$ viene dato come valore di DNL (Differential Non Linearity).
 - In altre parole rappresenta lo scostamento massimo tra l'intervallo di tensione medio (che in un ADC ideale corrisponderebbe alla sua risoluzione) e l'intervallo trovato per ogni codice D generato.
 - Viene anche espressa in termini di LSB. Un buon ADC è caratterizzato da $DNL < 0.5 \text{ LSB}$.
 - $DNL(D) / \langle L \rangle == L(D) - 1$ (con $L(D)$ espresso in unità di LSB)

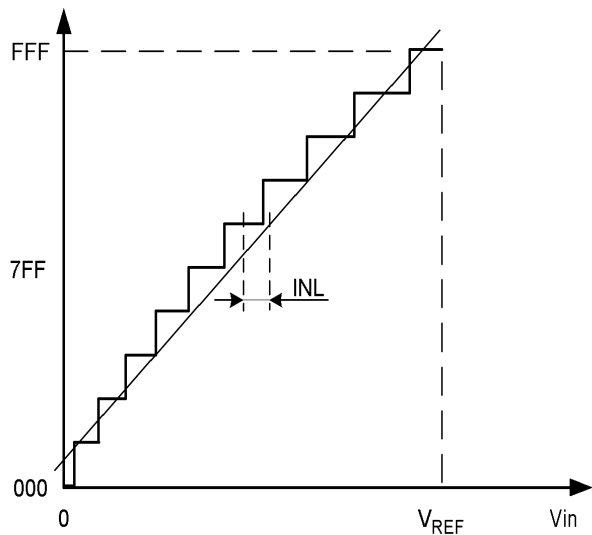
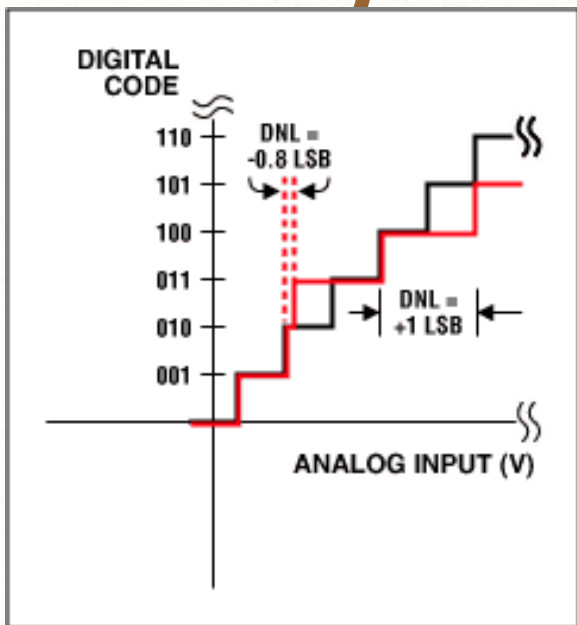
Errori di conversione (4)

- Non linearità integrale INL (Volt):
 - Per ogni codice D viene valutato il valore di tensione nominale corrispondente a quel codice $A(D) = D \cdot \langle L \rangle$.
 - $A(D)$ viene confrontato con $V_{in} - V_{refL}$, quindi:
 - $INL(D) = A(D) - (V_{in} - V_{refL})$
 - $INL = \text{MAX}(|INL(D)|)$
 - In altre parole, si valuta lo scostamento massimo tra $A(D)$ e il V_{in} corrispondente.
 - $A(D)$ e $DNL(D)$ sono legati tra loro da:

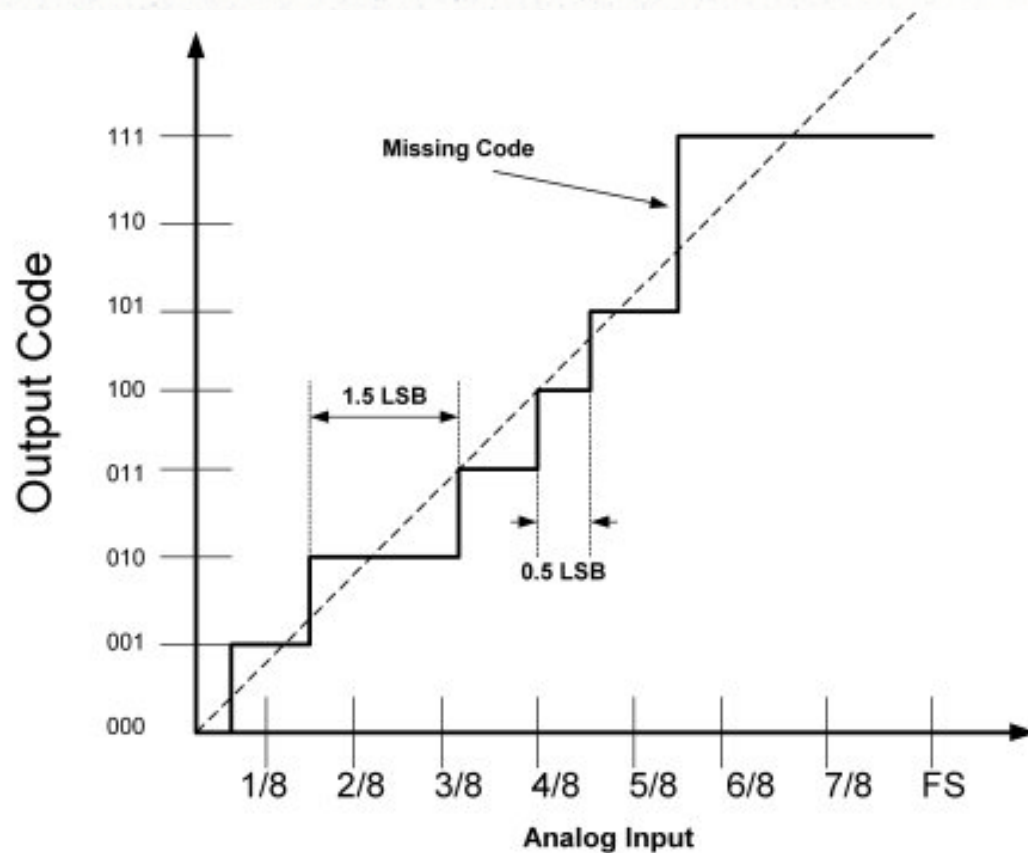
$$A(D) = \sum_{i=0}^{i=D} DNL(i) + INL(0) \text{ [eventuale offset fisso]} - DNL(0)/2 - DNL(D)/2$$

- L'errore totale è quindi: $\Delta_{\text{Quant.}} + \Delta_{\text{Apert.}} + DNL + INL$

Esempi di DNL, INL e "Missing Code"



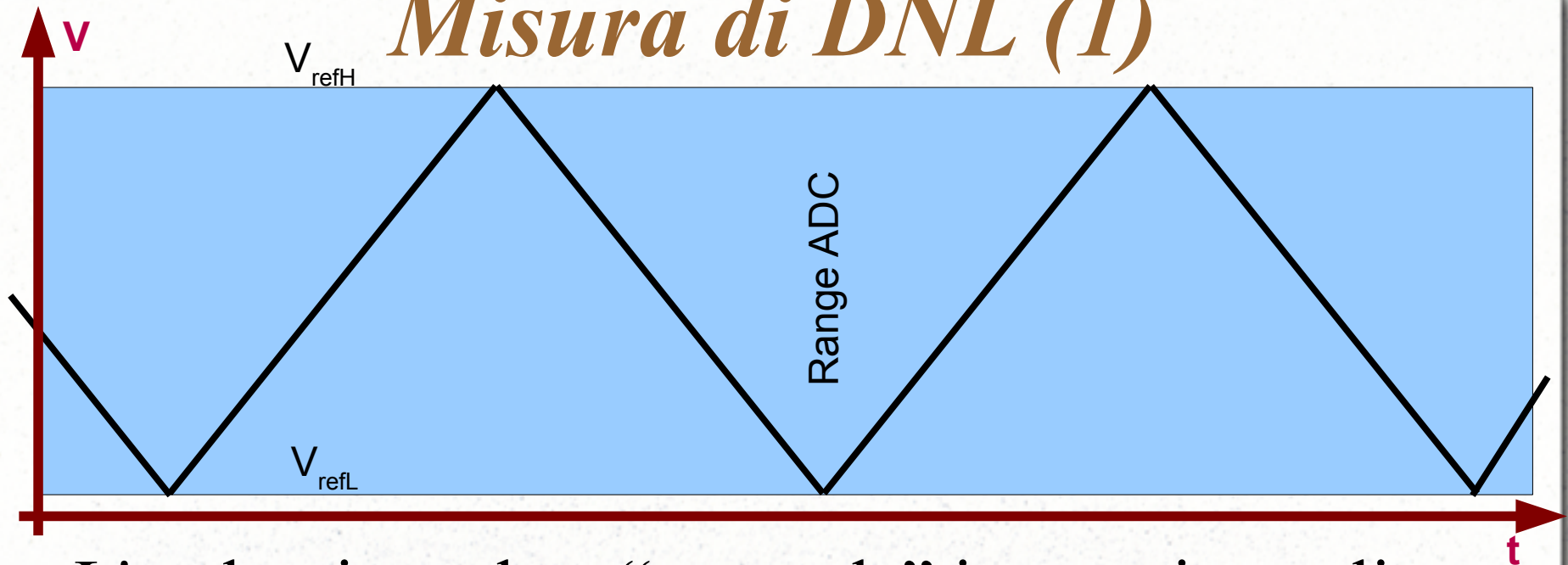
Code



Come misurare la DNL

- Non è banale. Soprattutto per ADC che hanno risoluzioni molto elevate (eg. 16 bit).
- Immaginate di dover trovare per ognuno dei (eg. 64000) codici l'intervallo di tensione corrispondente (eg. $\langle L \rangle = 2\text{Volt} / 64000$).
- NON con un partitore di tensione in ingresso !
- Quello che si può usare è un metodo statistico.
- Si manda una tensione variabile nel tempo che “spazzoli” tutto il range dell'ADC.
- Normalmente si usa una sinusoide. Noi useremo una triangolare.

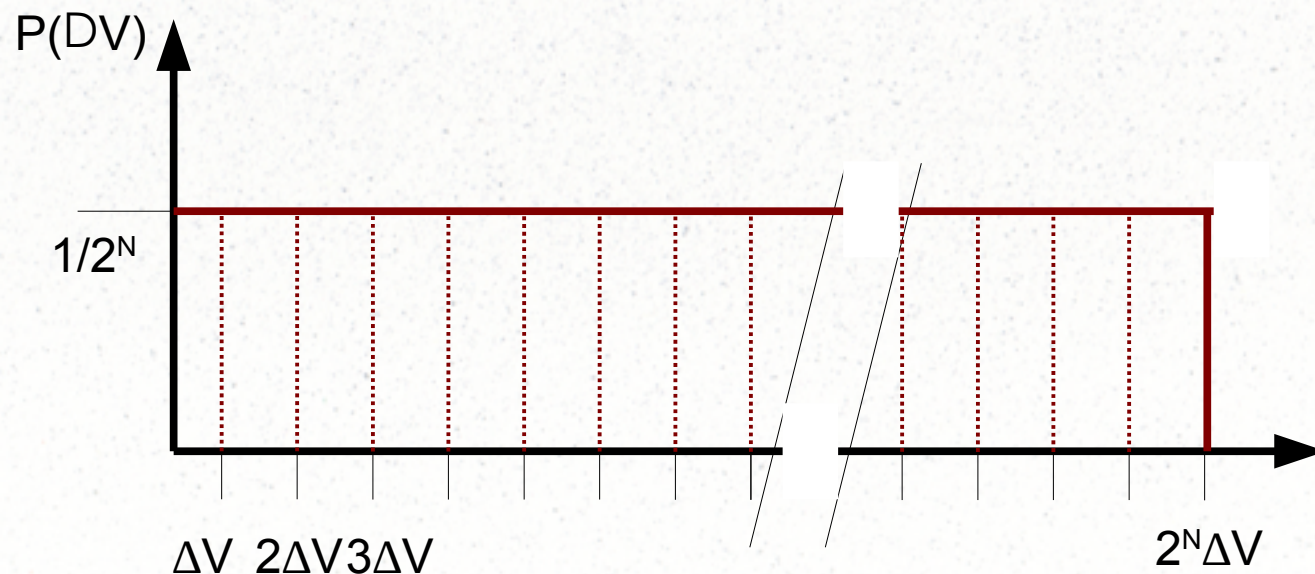
Misura di DNL (1)



- L'onda triangolare “spazzola” in tempi uguali intervalli di tensioni uguali !! (Nella realtà occorre stare lontani dai vertici)
- Quindi se divido il Range_{ADC} in 2^N intervalli uguali, ognuno di questi viene “coperto” dall'onda triangolare con lo stesso intervallo di tempo Δt .

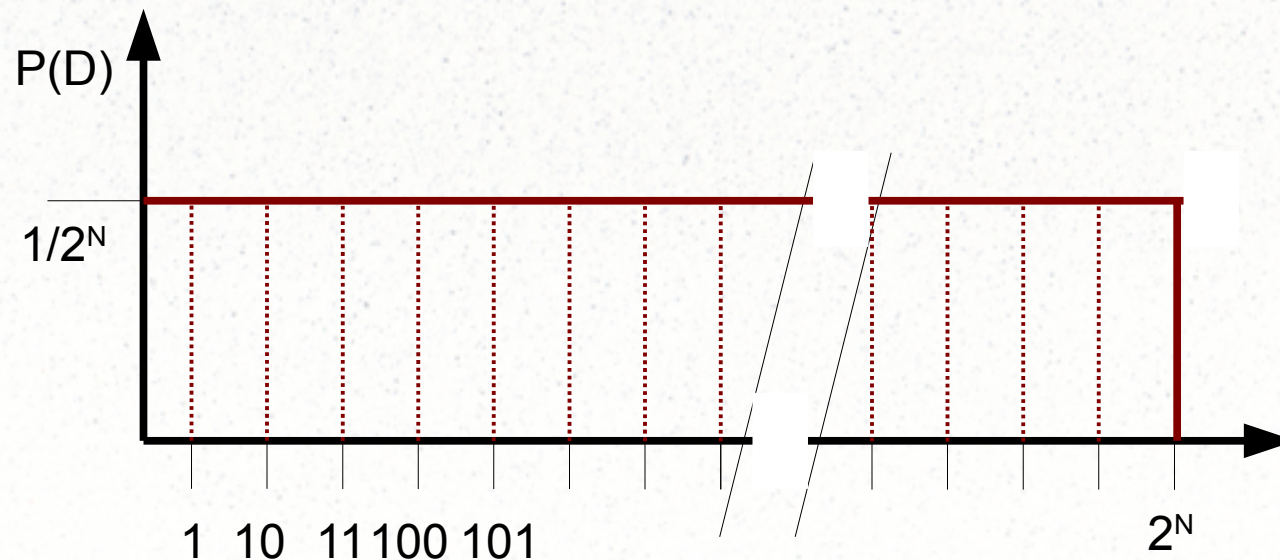
Misura di DNL (2)

- In altre parole, se costruisco un istogramma con in ascissa gli intervalli ΔV e in ordinata la probabilità che la tensione dell'onda triangolare si trovi in QUEL DETERMINATO INTERVALLO, trovo una distribuzione PIATTA (uniforme).



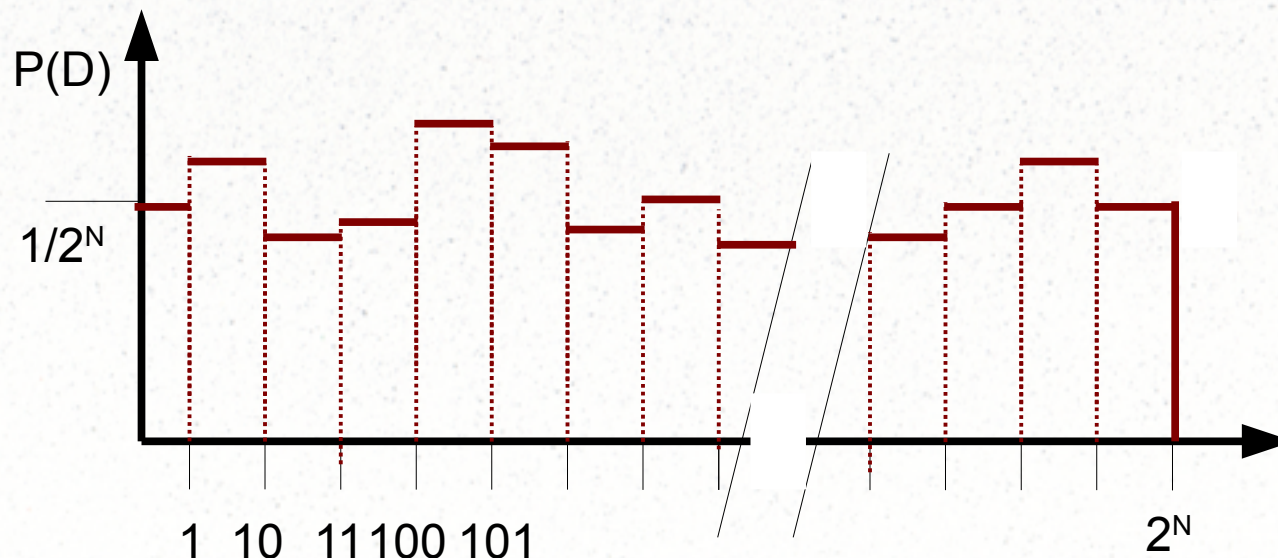
Misura di DNL (3)

- A questo punto supponiamo che gli intervalli ΔV siano quelli corrispondenti ai vari (2^N) codici di conversione del mio ADC a Nbit.
- Per ogni codice D di conversione avremo un intervallo $\Delta V(D)$ corrispondente.
- Se questi intervalli fossero tutti esattamente uguali (DNL = 0), rifacendo l'istogramma di prima con in ascissa D (invece di $\Delta V(D)$) troverei la stessa distribuzione piatta.



Misura di DNL (4)

- Ovviamente gli intervalli NON sono tutti uguali.
- Se un intervallo è più largo, l'onda triangolare ci stazionerà per più tempo. L'opposto se l'intervallo è più piccolo.
- Il mio istogramma diventerà simile a questo:



Misura di DNL (5)

- Infatti la probabilità $P(D)$ è proprio data da:
 - $P(D) = \Delta V(D) / V_{\text{RangeADC}}$
- Ovvero usando le definizioni precedenti:
 - $P(D) = L(D) / V_{\text{RangeADC}}$
- Quindi se riusciamo a misurare $P(D)$ per ogni codice D dell'ADC possiamo ricavare la DNL:
 - $\text{DNL}(D) = V_{\text{RangeADC}} (P(D) - \langle P(D) \rangle)$
 - $\text{DNL}(D) = V_{\text{RangeADC}} (P(D) - 1/2^N)$

Misura di DNL (6)

- La misura di $P(D)$, diventa una misura di conteggio.
 - Si fa campionare all'ADC un segnale triangolare in ingresso.
 - Si acquisiscono un numero totale N_{CONV} di conversioni.
 - Si costruisce un istogramma con in ascissa il codice D del conteggio e in ordinata il numero di volte $N(D)$ che si è presentato quel codice particolare.
- Il rapporto tra il numero di volte che si è presentato il codice D e il numero totale di conversioni registrate è la nostra $P(D)$ che cerchiamo.
- $P(D) = N(D) / N_{\text{CONV}} \cdot$

Misura di DNL (7)

- Quante conversioni si devono acquisire ?
 - Dipende dalla precisione richiesta dalla misura.
- La popolazione di ogni “bin” dell'istogramma segue una distribuzione binomiale con probabilità $P(D)$, che noi stimiamo con
 - $P(D) = N(D) / N_{\text{CONV}}$.
- La varianza $\sigma^2(D)$ del numero $N(D)$ di conteggi nel bin è quindi data da:
 - $\sigma^2(D) = P(D)(1-P(D))N_{\text{CONV}}$
- Se $P(D)$ è molto piccolo rispetto a 1 (nel caso del nostro ADC a 8 bit $P(D)$ sarà un valore prossimo a $1/256$) allora la varianza si approssima a:
 - $\sigma^2(D) = P(D)N_{\text{CONV}} = N(D)$

Misura di DNL (8)

- L'errore su $P(D)$ è quindi dato da:
 - $\sigma_{P(D)} = \sigma(D) / N_{\text{CONV}} \cdot$
 - $\sigma_{P(D)} = \sqrt{N(D)} / N_{\text{CONV}} \cdot$
 - $\sigma_{P(D)} = \sqrt{P(D)N_{\text{CONV}}} / N_{\text{CONV}} \cdot$
 - $\sigma_{P(D)} = \sqrt{(P(D) / N_{\text{CONV}})} \cdot$
- L'errore relativo su $P(D)$ è dato da:
 - $\sigma_{P(D)}/P(D) = 1/\sqrt{P(D)N_{\text{CONV}}} = 1/\sqrt{N(D)}.$
- Quindi per avere una precisione su DNL del 10%, basta che in ogni bin ci siano almeno 100 conteggi.
 - $N_{\text{CONV}} \approx 2^N * 100 = 25600$ conteggi

In laboratorio (1)

- Il DNL dipende dalla frequenza del segnale in ingresso e dalla frequenza di campionamento.
- Scegliamo una frequenza fissa di campionamento (5 MHz) e valutiamo DNL(D) per due frequenze dell'onda triangolare (1KHz e 300 KHz).
- La prima verifica da fare è la ricostruzione del segnale dai campionamenti dall'ADC.
- A seguito si fanno gli istogrammi e si valuta sia DNL(D) che INL(D)

In laboratorio (2)

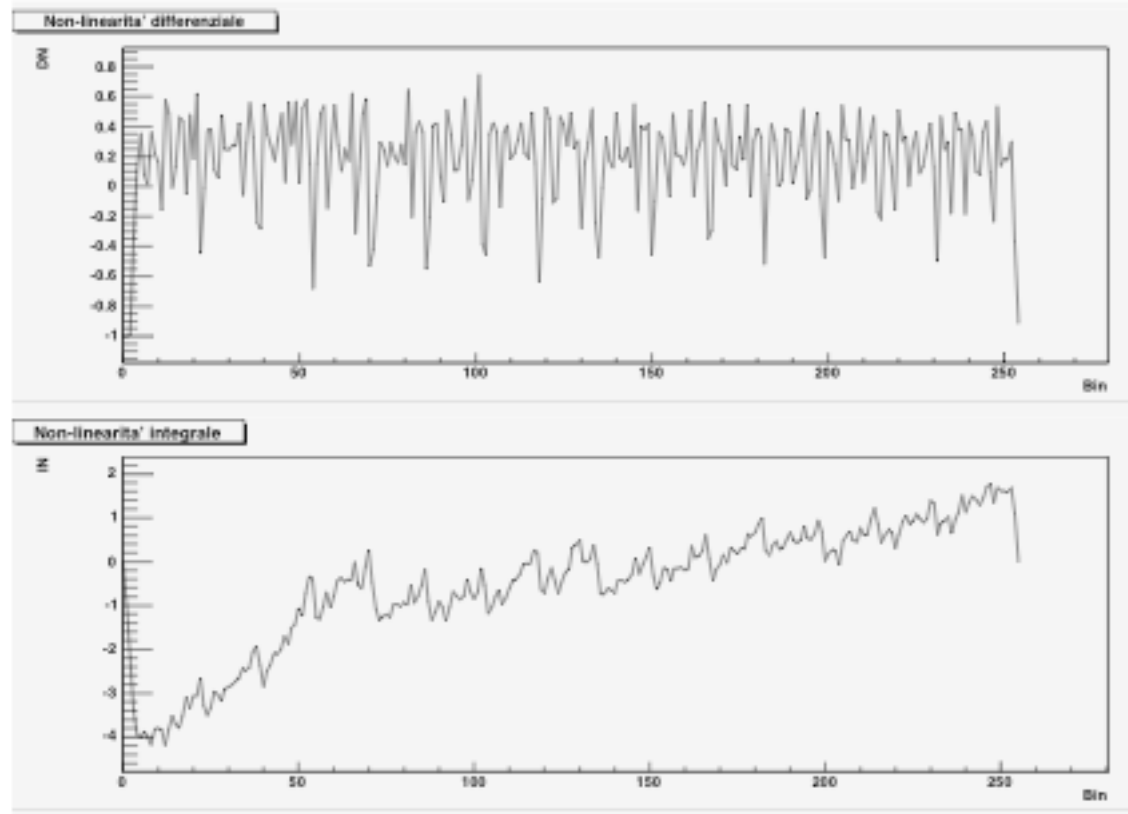


Figura 5: In questo grafico viene mostrata la non-linearità differenziale e integrale dell'ADC, per campionamenti a 1.25 MHz di un'onda triangolare con frequenza 10 KHz. Il valore di DN si mantiene tra -0.74 e $+0.68$ LSB, con una media attorno a 0.3 (in modulo) LSB. Mentre il valore della IN è in media 1 LSB.

Tipologie ADC

- Parametri principali: Risoluzione, Frequenza di campionamento.
- In ingresso generalmente si ha un circuito di Sample and Hold (S/H) che campiona il segnale ad un determinato istante e lo mantiene fino a conversione avvenuta.
- Varie tipologie per la parte di conversione:
 - Bancata di comparatori (Flash ADC)
 - Bancata di comparatori pipelined (Pipelined FADC)
 - Approssimazione successiva
 - Wilkinson (a rampa)
 - Doppia rampa
 - Delta o Sigma-Delta
 - ecc.

FADC

- Il nostro TS8308.
- Un circuito di S/H in ingresso campiona il segnale sul fronte di salita del clock. (Aperture time 250 ps)
- Risoluzione 8 bit, quindi il segnale campionato viene portato all'ingresso di 256 comparatori.
- Ognuno di questi comparatori ha una soglia diversa fissata da un partitore resistivo. La soglia del comparatore Kesimo è data da:

$$V_{\text{ref}}(K) = K * (V_{\text{refH}} - V_{\text{refL}}) / (2^N - 1)$$

- A seconda dell'ampiezza del segnale in ingresso V_{in} , scatteranno un certo numero D di comparatori.
- Le uscite dei comparatori sono collegate a un encoder binario che fornisce il codice binario a 8 bit corrispondente al numero D di comparatori che sono scattati.
- La conversione avviene immediatamente sul fronte di salita del clock (entro 15-20 ns). Freq. Max di conversione 20 MHz.

FADC(2)

- Il segnale campionato da un opportuno circuito di S/H, viene inviato a una bancata di 2^N comparatori.
- Un ladder resistivo ai cui estremi sono posti V_{refL} e V_{refH} fornisce i 2^N valori di riferimento ai comparatori.
- A seconda dell'ampiezza del segnale in ingresso, scatterà un certo numero di comparatori.
- Un encoder fornisce il codice binario corrispondente al numero di comparatori attivi.

